

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Reference B

Japanese Patent Public Disclosure No. 18409/1976

Date of Public Disclosure: February 14, 1976

Application No. 89890/1974

Application Date: August 7, 1974

Inventor: Masatsugu Shinozaki

Applicant: Hitachi Ltd.

Title: Data Transfer Apparatus

Claim:

A data transfer apparatus having a transmission control circuit for performing data transmission to a line and a receiving control circuit for receiving data from a line in a line side, and having a device control portion for transmitting data to a device in a device side, said data transfer apparatus comprising,

a receiving buffer for temporarily storing received data input through said receiving control circuit,

a receiving buffer control portion for controlling said receiving buffer,

an expansion circuit for expanding said received data,

a compression circuit for compressing said transmitted data input through said device control portion,

a transmission buffer for temporarily storing data provided by said compression circuit, and

a transmission buffer control portion for controlling

- 2 -

said transmission buffer, whereby, when a plurality of the same characters are repeated, all except one of the characters are deleted and a special function character is generated and a character count data is for restoring the deleted characters.



特 許 第 12

第 49 号

① 日本国特許庁

公開特許公報

① 特開昭 51-18409

④ 公開日 昭51. (1976) 2.14

② 特願昭 49-88888

③ 出願日 昭49. (1974) 8. 7

審査請求 未請求 (全5頁)

庁内整理番号

7240 1/1
6446 1/6

特許庁長官 殿

発明の名称 データ伝送装置

発明者

神奈川県横浜市山下1番地
株式会社 日立製作所 神奈川工場内
藤 崎 通 雄

特許出願人

東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所
吉 山 博 吉
東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所
電話東京 279-2111 (大内線)
(1000) 外線士 藤 田 利 幸

② 日本分類

7107A1
7107B0

③ Int.Cl²

H08B 1100
H08B 1166
H08L 2300

明 細 書

1 発明の名称 データ伝送装置

2 特許請求の範囲

図面に対しデータの送信を行なわしめる送信制御回路部と図面からのデータの受信を行なわしめる受信制御回路部とを具備し、デバイスとの前記データの伝送を行なわしめるデバイス制御部をデバイス側に有するデータ伝送装置において、受信制御回路部を介して入力する受信データを一時記憶する受信バッファと、該受信バッファを制御する受信バッファ制御部と、前記受信データを伸長せしめるエクスパンション回路部と、デバイス制御部を介して入力された前記送信データを縮小するコンプレッション回路部と、該コンプレッション回路部から与えられたデータを一時記憶する送信バッファと、該送信バッファを制御する送信バッファ制御部とを有し、前記の同一文字が連続するとき、これら同一文字のうち1文字を残して他の文字を削除せしめ、削除した事を示す特殊記号やマラクトと削除した文字を復元するための

文字カウントデータを付すようにしたデータ伝送装置。

3 発明の詳細な説明

本発明はデジタルデータの受送を行なう装置間において、これら装置間を結ぶデータ伝送線の有効利用をはかるデータ伝送装置に関する。最近データ通信分野における伝送速度は、増加の一途をたどっている。この増加に対して、従来の設備方式では対応しきれなくなっており、この対応策として、(1)回路のスピードを上げる、(2)制御手段に全二重方式を採用する、(3)送受信データに加工を施し、データ長を短くして送受信を行なう、等の方法が採られている。しかし、上記(1)、(2)の方法によれば、回路の処理能力をそのまゝ利用するだけであつて、回路の処理能力によつて制限され、回路の能力以上には増加できない欠点がある。これに対し、上記(3)の方法によれば、データ長が短くなるため、全体としては回路の処理能力以上データの前送が可能となる。上記(3)の方法は、従来の電子計算機間の通信において一

利用されており、以下その従来例を説明すると、
 あらかじめ、電子計算機内部で、データ加工の
 アルゴリズムを決定しておき、それを、ソフトウ
 ェアで実行する。例えば、送信するスペースを選
 ぶ場合などは、その番地だけを相手側に知らせ、
 相手側では、その番地だけのスペースが送られて
 きたものと認識する、といったアルゴリズムであ
 る。

この従来例は、ソフトウェアの能力が必要となる
 ので、送受信装置としては、プログラム制御可能
 なものしか許されないうことになり、汎用性が乏し
 い。また電子計算機が送受信装置として利用され
 ることは、一般には、それが汎用的な使用目的を
 持つため、このデータ加工のためのオーバーヘッド
 が増加することになり、他の仕事の処理時間、
 影響を及ぼすこととなつてしまい、希望とは言い
 難い。さらに、これらの処理を行なうためのシス
 テム プログラムエリアの確保も必要となり、ホ
 ーザの使用可能なメモリエリアが減少されるとい
 う欠点もある。

とを同様にすると、相手側との受信動作は終了する。
 受信の終了と同時に、受信ペックファ4からのデー
 タは、エクスパンション3 (EXPANSION) 回路部10
 順次取り出され、デバイス10に送出すべきデータ形
 式に認識され、デバイス制御部10に送り出される。
 また、送信の場合、デバイスからのデータは、
 デバイス制御部10を經由し、コンプレッション
 (COMPRESSION) 回路部9に送り込まれる。このコ
 ンプレッション回路部9により、データは、送信
 時のフォーマットに認識され、送信ペックファ制御
 部9の制御により、送信ペックファ8に順次書き入
 れる。デバイス側からの送信データの伝送終端に
 達し、制御は、送信制御回路部6に移り、データ
 は、送信ペックファ8から順次取り出され、モデ
 ムインターフェイス回路部1を經由し、回路上に送
 出される。また、本発明例においては、送受信デ
 ータの誤りチェック方式を垂直、水平パリティ方
 式と仮定して述べる。

第2図に、本発明例の例(・で示す)と、従
 来例(○で示す)の送受信データフォーマットを

本発明の目的にかんがうことと、第1図に、
 データ伝送の環境を伴うことと、データ・
 量が可能なデータ伝送装置を提供する。この
 上記目的を達成するため、本発明は、送信側
 制御部とデバイス制御部の間、送信ペックファ、
 送信ペックファ制御部、コンプレッション (compression)
 回路部を設け、受信側制御部とデバイス制御部
 との間、受信ペックファ、受信ペックファ制御部、エ
 クスパンション (expansion) 回路部を設け、
 複数の同一文字が連続すると、その連続文字を文字
 数だけを替えることにより伝送データ量を減少す
 るを特徴としている。

以下図に就いて本発明を詳細に説明する。第1図
 は本発明の一実施例を示すブロック図を示す。第
 1図において、図面から受信されたデータはモデ
 ムインターフェイス回路1、受信制御回路2を介
 し、受信ペックファ制御部3により受信ペックファ4
 に書き入られる。受信データは受信制御回路2に
 より受信制御する誤りの検出が適宜行われ、最
 後のキャラクタ(文字)を受信し、誤りが無いと

示す。これらはいずれも「STX」という伝送制御
 キャラクタで始まり、「ETX」という伝送制御
 キャラクタで終る一つのテキストであるが、このテキ
 スト中にある、連続する6文字のキャラクタ「C」が、
 このテキスト中では、「ESC」「C」「H」H」という形で表
 現されている。このように、テキスト中の連続す
 るキャラクタは、本発明例では必ず「ESC」「
 '」'」という形で表わされ、各テキスト中の連続化
 が行われる。但し「ESC」「'」'」という形で表わ
 されるのは、同一キャラクタが3回以上連続した
 場合だけである。「ESC」「'」'」というシーケンス
 は、本発明例での例として、まず連続する同一
 キャラクタを省略したことを示すため、連続した
 キャラクタ ESC を先行させ、次に続くキャラクタで
 省略キャラクタを代表させ(ここでは「C」で示
 す)。そして、最後に何文字省略されたかを、16
 進(ここでは「6」で示す)で文字カウントデー
 タに示したものである。したがって、一般に受信
 時において、受信制御回路部では「ESC」に続く
 キャラクタについては、垂直パリティチェックの

みしか、誤り検出は行なわず誤条件に受信バッファに書き込む。送受信されるデータは、一般に、第2図の16ビット形式のままで第1図の受信バッファ4、送信バッファ8に書き入れられる。また第2図の4、5の例にかいて、'ETX'の後にある'BCC'は、水平バリティを示している。

次に、前記した'ESC' 'x' 'a' というシーケンスがどのようにして装置内で扱われるか、第3図、第4図を用いて説明する。

第3図は、エクステンション制御器3のブロック図である。受信されたデータは、まず、エクステンション制御器14からの指令により、受信バッファ4から、順次取り出される。取り出されたデータは、レジスタB(以下REGBと略す)11にまず格納され、DECODER13により'ESC'かどうかの判定が行なわれる。判定中REGB 11の内容は、レジスタA(以下REGAと略す)12に移り、判定結果を待つこととなる。ここで、'ESC'でなければ、REGA 12の内容は、デバイス制御器10を通過して、該当デバイスに送られる。もし'ESC'であるなら、

時間51-18409(3)

その旨の報告が、エクステンション制御器14に送られる。エクステンション制御器14は、これを受けて、データの停受動作を指示する。まず、REGB 11の内容が、REGA 12に移され、次のデータが受信バッファ4よりREGB 11に格納される。この間デバイス制御器10へのデータ出力は禁止される。次のタイミングでCOUNTER15の内容をクリアするとともに受信バッファ4からの次のデータの搬出しを禁止する旨の指令が、受信バッファ制御器3に送られる。次のタイミングで、REGA 12の内容は、デバイス制御器10を過し、デバイスに出力され、COUNTER15の内容が1づつ2進加算され、その結果とREGB 11の内容とで、比較器16により、2進比較が行なわれる。以下この動作を繰り返し、COUNTER15の内容と、比較器16の内容が一致した時、この動作の終端信号がなされる。そしてREGB 11と、REGA 12の内容が全てクリアされた時、この動作は、終端し、その後受信バッファ4からの搬出しが再開される。このようにして、受信データは、正常な形式で搬出される。

第4図は、送信時に第2図の16ビット形式のデータフォーマットを作成するためのコンプレッション制御器9のブロック図である。デバイス制御器10から送られてくるデータは、レジスタA(以下REGAと略す)21に格納され、レジスタB 22(以下REGBと略す)の内容と、比較器23により比較される。もしデバイス制御器10からの最初のキャラクターについては、コンプレッション制御器28の制御により、無条件にREGB 22に格納される。比較した結果が等しければ、COUNTER24の内容が、1づつ2進加算され、もし等しくなれば、COUNTER 24の内容は、8ビットクリアされる。しかも、COUNTER 24の内容は、COUNTER 抽出器25により監視されていて、COUNTER24の内容が、1となった時、COUNTER 抽出器25より、コンプレッション制御器28にその旨知らされ、データの圧縮動作の準備がなされる。しかし、この時REGB 22の内容を送信バッファ8に格納する動作は、停止されてはいない。そして、COUNTER24の内容は、比較器23より等しいことが知られるたびに、1づつ2進加

算が続けられる。COUNTER 抽出器25から、COUNTER 24の内容が1となった旨の報告が行なわれている条件のもとで、比較器23から、データが等しくない旨の報告があった時、COUNTER24の内容は保持され、それと同時に、コンプレッション制御器28から、送信バッファ制御器7へ送信バッファ書き込み禁止要求が出る。これが受け付けられた後、メモリアドレスレジスタ(以下MARと略す)30の内容から、COUNTER24の内容を減算器27で減算させ、結果をMAR30へ格納すると同時に、文字発生器26より'ESC'キャラクターを発生させ、それをメモリレジスタ(以下MRと略す)29に格納し、送信バッファ制御器7に1キャラクターの書き込み要求を出す。このキャラクターを送信バッファ8への書き込み終了後、MR29にREGB22の内容を移し、送信バッファ8内の'ESC'を書込んだ次のエリアにこれを格納し、次にCOUNTER24の内容を、同様にして送信バッファ8に格納する。その後、4のCOUNTER24の内容及びREGB 22の内容をクリアし、データの圧縮動作を終了する。これ以後、REGA 21の内容

を REG 22 に移し、デバイス制御部 10 からデータ REG 21 に転送し、前記した動作を繰り返す。

以上はデータ送信の場合について説明したが、他のデジタルデータの受取を行なう装置間にも同様に適用できることはいふまでもない。

以上説明した如く、本発明によれば、拡張機能にデータ伸縮の動作を行なわせることなく、データ伸縮が可能となり、データ伝送路を有効に使用することができる。特に複数の装置が一つの伝送路を共有して情報交換を行なうときその効果は顕著である。副次的効果として伝送データ量が少なくなるため伝送路に起因するデータ誤りの発生が少なくなる。

4. 図面の簡単な説明

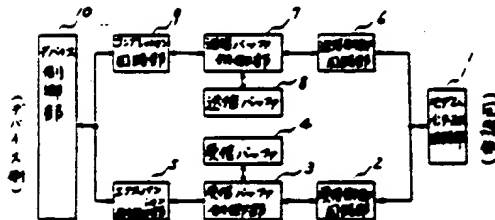
第1図は本発明による一実施例を示すブロック図、第2図はデータ伸縮の状態を示す図、第3図は第1図のエクステンション回路部の伸縮ブロック図、第4図は第1図のコンプレッション回路部の伸縮ブロック図である。

2…受信制御回路部、3…受信パツファ制御部、

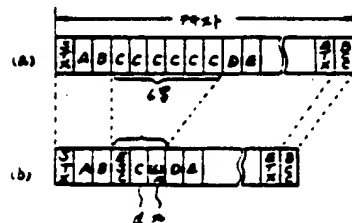
4…受信パツファ、5…エクステンション回路部、6…送信制御回路部、7…送信パツファ制御部、8…送信パツファ、9…コンプレッション回路部、10…デバイス制御部、ESC…特殊機能キャラクター、α…文字カウントデータ、β…省略キャラクター。

代理人弁護士 尾田 利 雄

第1図



第2図



第3図

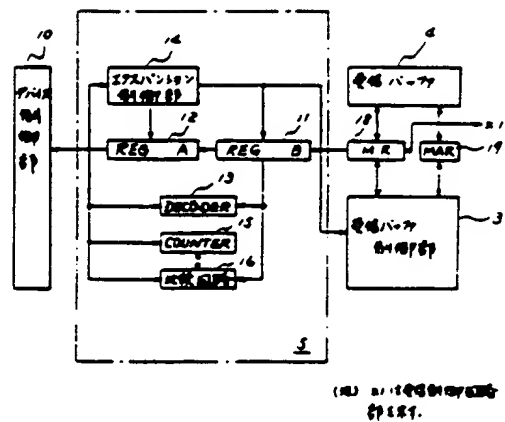
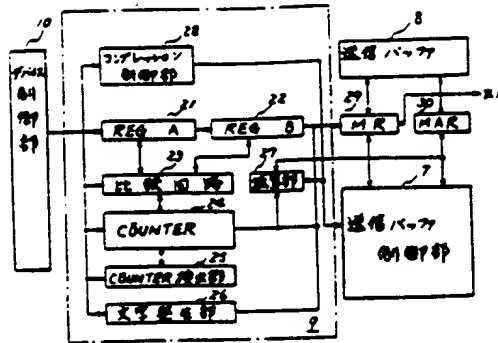


図4



(注) R1 は 通信制御回路線路を示す。

添付書類の目録

...	14
...	14
...	14
...	14

前記以外の発明者、特許出願人または代理人

発 明 者
 ...
 ...